

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-233629

(43)Date of publication of application : 27.08.1999

(51)Int.Cl.

H01L 21/768

H01L 21/28

H01L 21/285

(21)Application number : 10-036137

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 18.02.1998

(72)Inventor : IHARA YOSHIKAZU

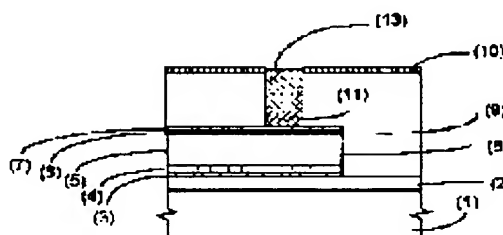
YAMASHITA TOMIO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a multilayer structure which is reliable and suitable for the fine structuring of an element.

SOLUTION: A TiN thin layer 7 is formed on the top surface of a lower-layer metal wire 8, a silicon oxide film 9 is deposited thereupon, and a TiN layer 10 is formed further thereupon. A contact hole 11 which reaches the TiN layer 7 is formed in the silicon oxide layer 9 and the TiN layer 10, and tungsten is formed by a blanket tungsten CVD method in the contact hole 11 and on the TiN layer 10. Furthermore the tungsten is etched by the use of SF6 gas, until the TiN layer 10 is exposed, and the TiN layer 10 is etched away by the use of a phosphoric acid solution to form tungsten of a good shape in the contact hole 11.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-233629

(43) 公開日 平成11年(1999) 8月27日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/768

H 0 1 L 21/90

A

21/28

3 0 1

21/28

3 0 1 R

21/285

21/285

C

審査請求 未請求 請求項の数4 O L (全 5 頁)

(21) 出願番号 特願平10-36137

(22) 出願日 平成10年(1998) 2月18日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通 2丁目 5番 5号

(72) 発明者 井原 良和

大阪府守口市京阪本通 2丁目 5番 5号 三

洋電機株式会社内

(72) 発明者 山下 富生

大阪府守口市京阪本通 2丁目 5番 5号 三

洋電機株式会社内

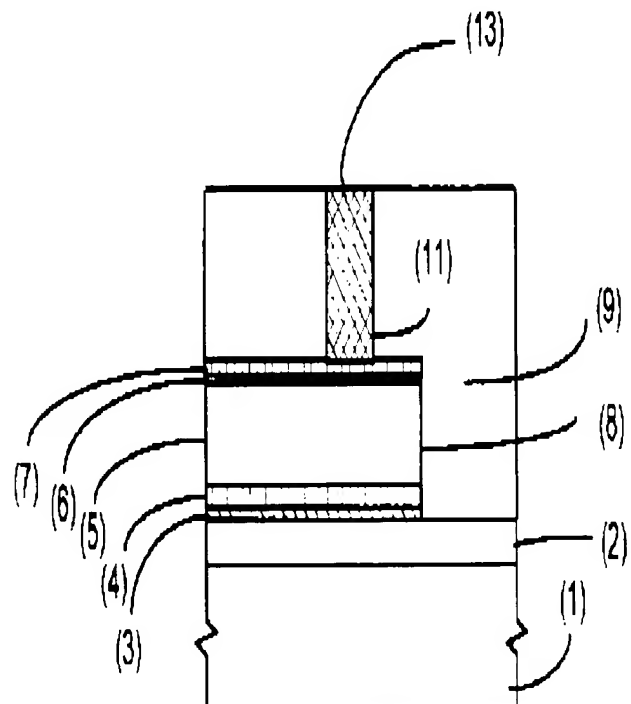
(74) 代理人 弁理士 安富 耕二 (外 1名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 信頼性が高く素子の微細化に適した多層配線構造を提供すること。

【解決手段】 下層金属配線 8 の表面に T i N 薄層 7 を形成し、その上にシリコン酸化層 9 を堆積し、その上に T i N 層 10 を形成し、前記シリコン酸化層 9 及び T i N 層 10 に T i N 層 7 に通じるコンタクトホール 11 を形成し、このコンタクトホール 11 内及び T i N 層 10 の上に、プランケットタングステン C V D 法を用いてタングステンを形成する。そして、タングステンを、S F 6 ガスを用いて T i N 層 10 が露出するまでエッチバックし、更に、リン酸溶液を用いて、T i N 層 10 をエッチング除去し、コンタクトホール 11 内に形の良いタングステンプラグ 13 を形成する。



【特許請求の範囲】

【請求項1】 コンタクトホールを有する絶縁層の表面に第2の金属層を形成する工程と、前記コンタクトホール内及び第2の金属層上に、CVD法によって第3の金属層を形成する工程と、前記第3の金属層を前記絶縁層上に形成された第2の金属層が露出するまでエッチングする工程と、前記第2の金属層を第3の金属層のエッチングとは異なる条件で除去する工程と、を含むことを特徴とした半導体装置の製造方法。

【請求項2】 絶縁層を介して形成された下導電層と上導電層とを接続するためのコンタクトホールの底部に第1の金属層を形成する工程と、前記絶縁層の表面に第2の金属層を形成する工程と、前記コンタクトホール内及び第2の金属層上に、CVD法によって第3の金属層を形成する工程と、前記第3の金属層を前記絶縁層上に形成された第2の金属層が露出するまでエッチングする工程と、前記第2の金属層を第3の金属層のエッチングとは異なる条件で除去する工程と、を含むことを特徴とした半導体装置の製造方法。

【請求項3】 下導電層の表面に第1の金属層を形成する工程と、前記下導電層の上に絶縁層を形成する工程と、前記絶縁層の上に第2の金属層を形成する工程と、前記絶縁層及び第2の金属層に前記第1の金属層に通じるコンタクトホールを形成する工程と、前記コンタクトホール内及び第2の金属層上に、CVD法によって第3の金属層を形成する工程と、前記第3の金属層を前記絶縁層上に形成された第2の金属層が露出するまでエッチングする工程と、前記第2の金属層を第3の金属層のエッチングとは異なる条件で除去する工程と、前記コンタクトホール内に残った第3の金属層に電気的に導通するように、上導電層を形成する工程と、を含むことを特徴とした半導体装置の製造方法。

【請求項4】 前記第3の金属層はタングステン材となり、前記第1及び第2の金属層は少なくとも窒化チタン層又はチタンタングステン層を含むことを特徴とした請求項2又は3に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置及びその製造方法に係り、詳しくは、多層配線構造に関する。

【0002】

【従来の技術】 近年、高集積半導体装置に採用されている多層配線では、配線間コンタクト・ビアコンタクトの低抵抗化及び配線の信頼性の向上が求められている。しかも、半導体装置の高集積化はますます進んでおり、コンタクトホール・ビアホールも同義とする。の径を小

さくすることが求められている。しかしながら、コンタクトホールの径を小さくすると、コンタクトホール内に十分な厚さの配線材料を堆積させるのが難しくなる。そこで、CVD法により、コンタクトホール内に適宜な金属（タングステン、アルミニウム、ニッケル、銅など）を堆積させ、第1層配線と第2層配線とを接続するプラグを形成することが提案されている。

【0003】 中でも、フランク・タングステンCVD法は、コンタクトホール内にタングステンをカバリーング良く埋め込むことができることから、多層配線形成の重要技術として注目されている。このフランク・タングステンCVD法は、コンタクトホールだけでなく、コンタクトホールが形成されている層間絶縁層上にもタングステンを成長させた後、絶縁層上のタングステンのみをエッチバックするものであり、絶縁層上に成長させることから、絶縁層との密着性が問題となるため、通常、タングステンを形成する前に、絶縁層上に窒化チタン層など、タングステンとの密着性がよい層を形成している。

【0004】 しかしながら、この手法では、コンタクトホール内に密着層が存在しないので、コンタクトホール内においてタングステンが48のようにオーバハング形状となって、コンタクトホール内にホイドが発生することがある。そこで、密着層としての窒化チタン層の上及びコンタクトホール内壁に、タングステンシリサイド層を形成し、この層を成長核としてコンタクトホール内にタングステンを成長させることが、特開平4-307934号公報（H01L21-265）に示されている。

【0005】

【発明が解決しようとする課題】 従来例にあては、アスペクト比の高いコンタクトホール内にタングステンシリサイド層を形成するのが困難で、微細化に対応できない問題がある。本発明は、半導体装置の製造方法に関し、斯かる問題点を解消するものである。

【0006】

【課題を解決するための手段】 請求項1の半導体装置の製造方法は、コンタクトホールを有する絶縁層の表面に第2の金属層を形成する工程と、前記コンタクトホール内及び第2の金属層上に、CVD法によって第3の金属層を形成する工程と、前記第3の金属層を前記絶縁層上に形成された第2の金属層が露出するまでエッチングする工程と、前記第2の金属層を第3の金属層のエッチングとは異なる条件で除去する工程と、を含むことをその要旨とする。

【0007】 請求項2の半導体装置の製造方法は、絶縁層を介して形成された下導電層と上導電層とを接続するためのコンタクトホールの底部に第1の金属層を形成する工程と、前記絶縁層の表面に第2の金属層を形成する工程と、前記コンタクトホール内及び第2の金属層上に、CVD法によって第3の金属層を形成する工程と、

前記第3の金属層を前記絶縁層上に形成された第2の金属層が露出するまでエッチングする工程と、前記第2の金属層を第3の金属層のエッチングとは異なる条件で除去する工程と、を含むことをその要旨とする。

【0008】また、請求項3の半導体装置の製造方法は、下導電層の表面に第1の金属層を形成する工程と、前記下導電層の上に絶縁層を形成する工程と、前記絶縁層の上に第2の金属層を形成する工程と、前記絶縁層及び第2の金属層に前記第1の金属層に通じるコンタクトホールを形成する工程と、前記コンタクトホール内及び第2の金属層上に、CVD法によって第3の金属層を形成する工程と、前記第3の金属層を前記絶縁層上に形成された第2の金属層が露出するまでエッチングする工程と、前記第2の金属層を第3の金属層のエッチングとは異なる条件で除去する工程と、前記コンタクトホール内に残った第3の金属層に電気的に導通するように、上導電層を形成する工程と、を含むことをその要旨とする。

【0009】また、請求項4の半導体装置の製造方法は、請求項2又は3に記載の発明において、前記第3の金属層はタングステン材からなり、前記第1及び第2の金属層は少なくとも窒化チタン層又はチタンタングステン層を含むことをその要旨とする。すなわち、コンタクトホール内の第3の金属層の形成は、当初、第2の金属層を有して前記絶縁層の上にも形成され、その後絶縁層上の第2及び第3の金属層を除去する工程を含み、第2の金属層と第3の金属層とは異なる条件でそれぞれエッチングされるので、絶縁層上に第3の金属層を残さないためのオーバーエッチングは実質的に不要となる。

【0010】特に、請求項3又は4の発明にあつては、コンタクトホール底部に露出する第1の金属層を、下導電層をパターンニングする際の反射防止層にそのまま兼用とすることができる。更に、請求項4の発明にあつては、第1及び第2の金属層が、CVD法によって第3の金属層を形成する際の成長材となりやすいためコンタクトホール内に第3の金属層がカバレーション良く形成される。

【0011】

【発明の実施の形態】本発明を多層配線に具体化した実施形態を下面に基づいて説明する。図1～図7は本実施形態の半導体装置における多層配線形成プロセスを示した断面図であり、以下項を逐って説明する。

工程1（図1参照）：単結晶シリコン基板1の上に、膜厚600nmのシリコン酸化層2をCVD法、熱酸化法等により形成する。更に、マグネトロンスパッタ法を用いて、前記シリコン酸化層2の上にチタン（Ti）層3（膜厚50nm）、窒化チタン（TiN）層4（膜厚100nm）、アルミ合金層5（Al-Si（1）（ $\text{Al} = 0.5\%$ ）（膜厚500nm）、Ti層6（膜厚30nm）、TiN層7（膜厚50nm）を順次下から形成する。

【0012】前記Ti層3及びTiN層4はAlとSiが反応しないようにするためのバリアメタルとして機能する。また、前記Ti層6及びTiN層7（特にTiN層7）はリソグラフィ工程で光がAlに反射することを防止し、反射光がレジストに影響しないようにする所謂反射防止層として機能する。

工程2（図2参照）：通常のリソグラフィ技術、ドライエッチング技術（RIE法等）により、レジスト（図示略）塗布、露光、エッチング作業を経て、前記バリアメタル、アルミ合金層5及び反射防止層を所定形状にパターンニングして、下層金属配線8を形成する。

【0013】次に、前記TiN層7及び露出した前記シリコン酸化層2の上に、CVD法によりシリコン酸化層9（膜厚600nm）を堆積した後、マグネトロンスパッタ法を用いて、前記シリコン酸化層9の上に窒化チタン（TiN）層10（膜厚100nm）を形成する。

工程3（図3参照）：通常のリソグラフィ技術、ドライエッチング技術（RIE法等）により、レジスト（図示略）塗布、露光、エッチング作業を経て、前記シリコン酸化層9及びTiN層10に前記TiN層7に達するコンタクトホール11を形成する。

【0014】工程4（図4参照）：活性ガス（例えばAr）を用いたスパッタエッチングによって、コンタクトホール11内をクリーニングした後、プラズマタングステンCVD法により、前記コンタクトホール11内を含む前記TiN層10の上に、タングステン12を形成する。形成条件としては、温度450℃、圧力90Torr、使用ガス：六フッ化タングステンWF6、流量70sccm、水素H2、流量420sccm、ガス流量比：H2：WF6＝6：1が適当であるが、温度は425℃～475℃の範囲で、ガス流量比：H2：WF6は5～70の範囲で適宜調整可能である。

【0015】工程5（図5参照）：形成したタングステン12を、SF6ガスを用いてTiN層10が露出するまで異方性全面エッチングする。

工程6（図6参照）：工程5の状態ではTiN層10の表面にエッチング残さとしてのタングステンが残っているため、更に、基板全体を加熱したリン酸溶液に晒し、TiN層10をエッチング除去する。これにより、タングステン残さはTiN層10ごと除去され、コンタクトホール11内にのみタングステンプラグ13が形成される。

【0016】工程7（図7参照）：マグネトロンスパッタ法を用いて、前記タングステンプラグ13及びシリコン酸化層9の上に、Al合金層14（Al-Si（1）（ $\text{Al} = 0.5\%$ ）（膜厚500nm）、Ti層15（膜厚30nm）及びTiN層16（膜厚50nm）を順次下から形成する。そして、通常のリソグラフィ技術、ドライエッチング技術（RIE法等）により、レジスト（図示略）塗布、露光、エッチング作業を

て、アルミ合金層14、Ti層15及びTiN層16を所定形状にパターンニングして、上層金属配線17を形成する。

【0017】本実施形態においては、コンタクトホール11の内側壁にTiN層を形成しなくても良いので、アスペクト比の高いコンタクトホールにも適用可能である。また、図7において、アルミ合金層14をトライエッチングするには、一般に塩素系ガスをを用いる。仮に、コンタクトホール11の内側壁にTiN層が存在していると、マスクずれが生じた場合には、側壁のTiN層の上部も塩素系ガスによってエッチングされてしまい、タングステンプラグ13とシリコン酸化層9との間に溝が形成される問題がある（タングステンプラグ13は塩素系ガスに晒されてもエッチングされない）。本実施形態のようにコンタクトホール11の内側壁にTiN層が存在させないものは、このような不具合も生じない。

【0018】尚、本発明は以上の実施形態に限定されるものではなく、以下のように変更しても同様の作用効果を奏する。

スパッタリングの方法として、マグネトロンスパッタリング以外に、ダイオードスパッタリング、高周波スパッタリング、四極スパッタリング等のようなものであってもよい。

【0019】スパッタエッチングの方法として、不活性ガスをを用いる以外に、反応性ガス（例えばCCl₄、SF₆）を用いた反応性イオンビームエッチング（RIE、反応性イオンミリングとも呼ばれる）を用いてもよい。

シリコン酸化層はCVD法以外の方法（スパッタ法や蒸着法等のPVD法、酸化法）によって形成してもよい。

【0020】シリコン酸化層を他の絶縁層（各種シリケートガラス、アルミナ、シリコン窒化層、チタン酸化層等）に置き換えてもよい。

タングステンプラグ13を他の金属（アルミニウム、ニッケル、銅、モリブデン等）によるプラグに置き換えてもよい。

窒化チタンは、プラズマタングステンCVDによるタングステンを成長させる際に、タングステンの核が容易に形成され、タングステンが良好に成長する。同様の特性を持つものとして、TiN層7、10、16などの窒化チタンに代えて、チタンタングステン（TiW）

などのチタン化合物を用いる。このようなチタン化合物は、低いコンタクト抵抗が得られ、且つ基板との密着性もよい。また、タングステン単体を用いてもよい。

【0021】

【発明の効果】本発明においては、コンタクトホール内に、第3の金属層を良好に形成することができるので、上配線層との電氣的接続が良好に行え、多層配線デバイスとしての信頼性が高くなる。また、コンタクトホール内に、第3の金属層をカバレッジ良く形成することができるので、素子の微細化に適した良好な多層配線構造を提供することができる。

【0022】また、コンタクトホール底部に露出する第1の金属層を、下導電層をパターンニングする際の反射防止層に兼用させることにより、その製造工程も簡略化できる。

【図面の簡単な説明】

【図1】本発明の実施形態における半導体装置の多層配線形成プロセスを示す断面図である。

【図2】本発明の実施形態における半導体装置の多層配線形成プロセスを示す断面図である。

【図3】本発明の実施形態における半導体装置の多層配線形成プロセスを示す断面図である。

【図4】本発明の実施形態における半導体装置の多層配線形成プロセスを示す断面図である。

【図5】本発明の実施形態における半導体装置の多層配線形成プロセスを示す断面図である。

【図6】本発明の実施形態における半導体装置の多層配線形成プロセスを示す断面図である。

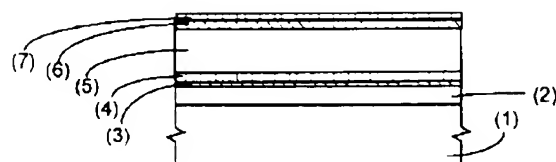
【図7】本発明の実施形態における半導体装置の多層配線形成プロセスを示す断面図である。

【図8】従来例の問題点を説明するためのコンタクトホール部の断面図である。

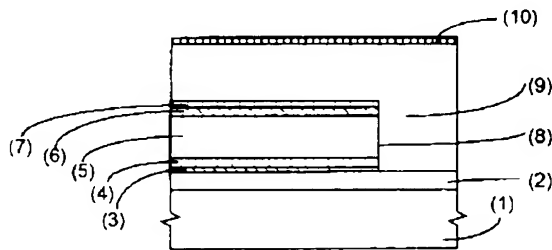
【符号の説明】

- 7 窒化チタン層（第1の金属層）
- 8 下層金属配線（下導電層）
- 9 シリコン酸化層（絶縁層）
- 10 窒化チタン層（第2の金属層）
- 11 コンタクトホール
- 12 タングステン（第3の金属層）
- 13 タングステンプラグ（第3の金属層）
- 17 上層金属配線（上導電層）

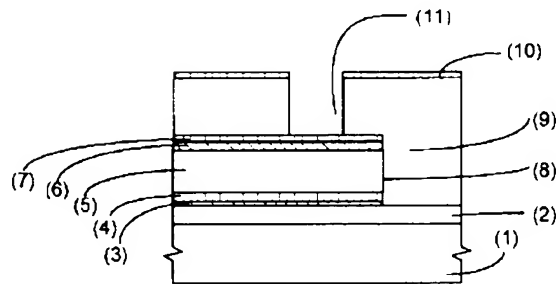
【図1】



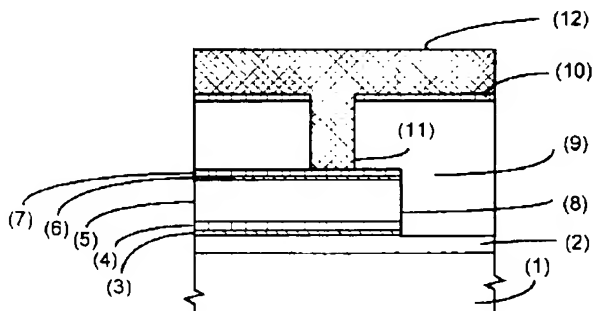
【図2】



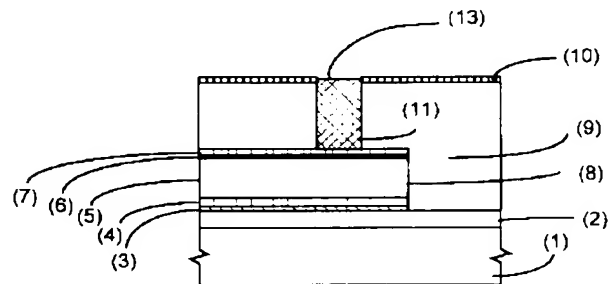
【図3】



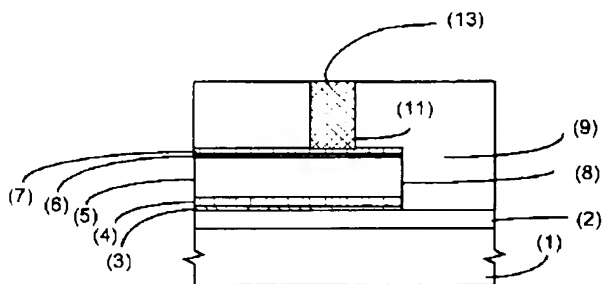
【図4】



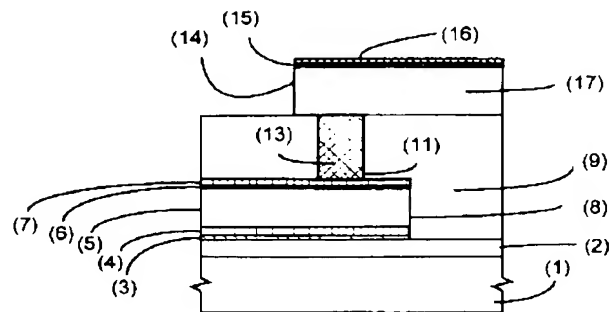
【図5】



【図6】



【図7】



【図8】

